XI. Операционные устройства ЭВМ

-Целочисленные арифметико-логические устройства: устройства

выполнения логических операций, устройства целочисленного

сложения/вычитания, устройства целочисленного умножения, устройства целочисленного деления.

Устройства обработки чисел с плавающей запятой:

устройства сложения/вычитания, устройства умножения, устройства деления, устройства вычисления функций.

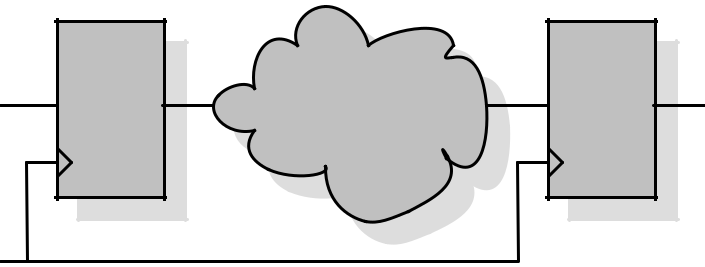
* Устройства SSE арифметики.

-Операционные устройства состоят из:

Регистров для хранения

данных; DI Шин передачи данных; Комбинационных схем реализации функций;

|  |  |  |
| --- | --- | --- |
| Rg |  | Rg |
|  |  | DO |
| D | КС | D |



CLK

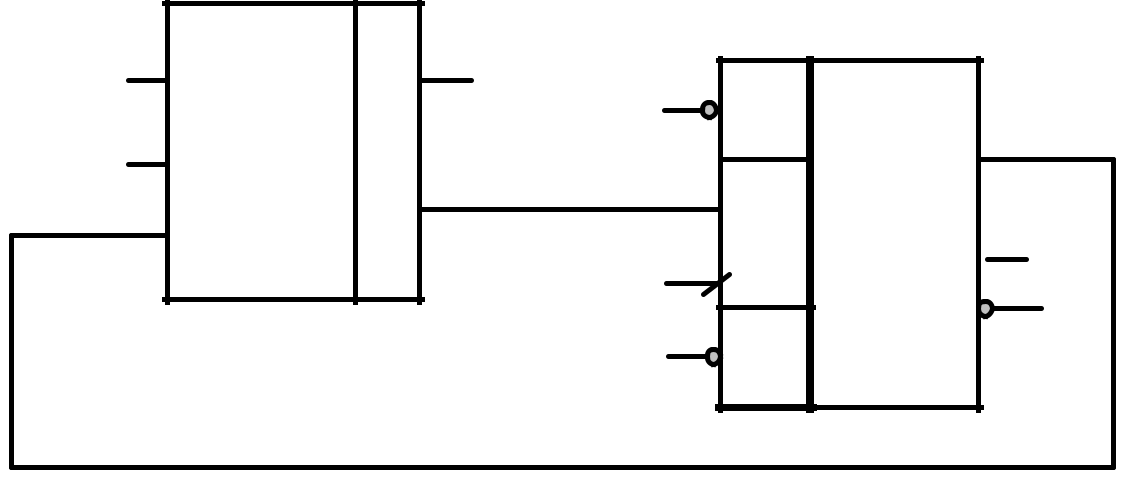
Архитектура ЭВМ ИУ7 1

Устройства целочисленного сложения/вычитания -Накапливающие сумматоры (последовательные).

-Параллельные сумматоры: с последовательным переносом, с параллельным переносом, с условным переносом, с групповой структурой.

Схема последовательного сумматора

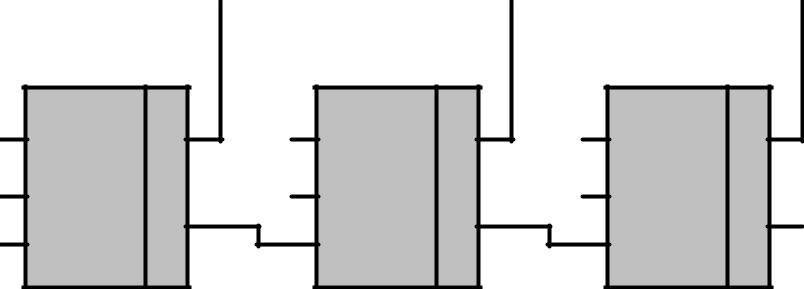
|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| ai | SM | si |  |  |  |  |
| S |  | T |  |  |
| bi |  | R | Q |  |
|  |  |  |
|  | ci |  |  |  |
|  |  | D |  |  |  |
| Ci-1 |  | C |  |  |  |
|  |  | CLK | C |  | Q |  |
|  |  |  | S |  |  |  |



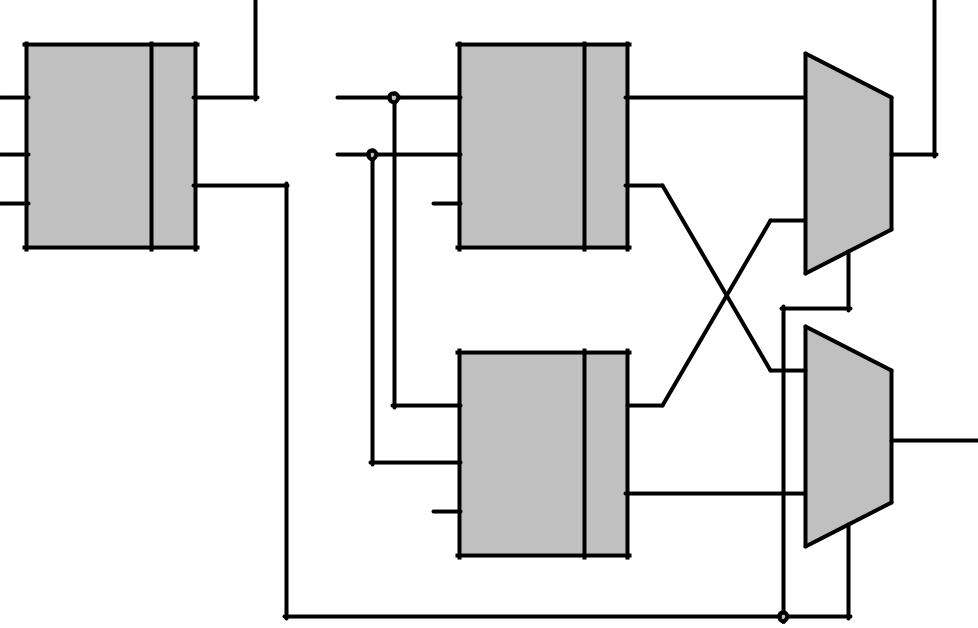
Архитектура ЭВМ ИУ7 2

Схема параллельного сумматора с последовательным переносом

|  |  |  |
| --- | --- | --- |
| s0 | s1 | Sn-1 |



|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | a0 | SM | S | a1 | SM | S | an-1 | SM | S |  |  |
|  |  |  |  |  |  |
|  | b0 |  | C | b1 |  | C | bn-1 |  | C | Cвых |  |
|  | Cвх |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |
| Схема сумматора с условным переносом | | | | | | | | | | |  |
|  |  | Sмл | |  |  |  |  |  | Sст | |  |
| Aмл | SM | S |  | Aст |  | SM | S |  | 0 |  |  |
|  |  |  | Bст |  |  |  |  |  |
| Bмл |  | C | cмл |  |  | C |  | MUX |  |  |
| cвх |  |  |  | 0 |  |  |  |  |  |
|  |  |  |  |  |  |  | 1 |  |  |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  | SM |  |  | 0 |  |  |
|  |  |  |  |  |  | S |  |  | cвых |  |
|  |  |  |  |  |  |  |  | MUX |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  | 1 |  | C |  | 1 |  |  |
|  |  |  |  |  |  |  |  |  |  |  |
| Архитектура ЭВМ |  | ИУ7 | |  |  |  |  |  |  | 3 |  |



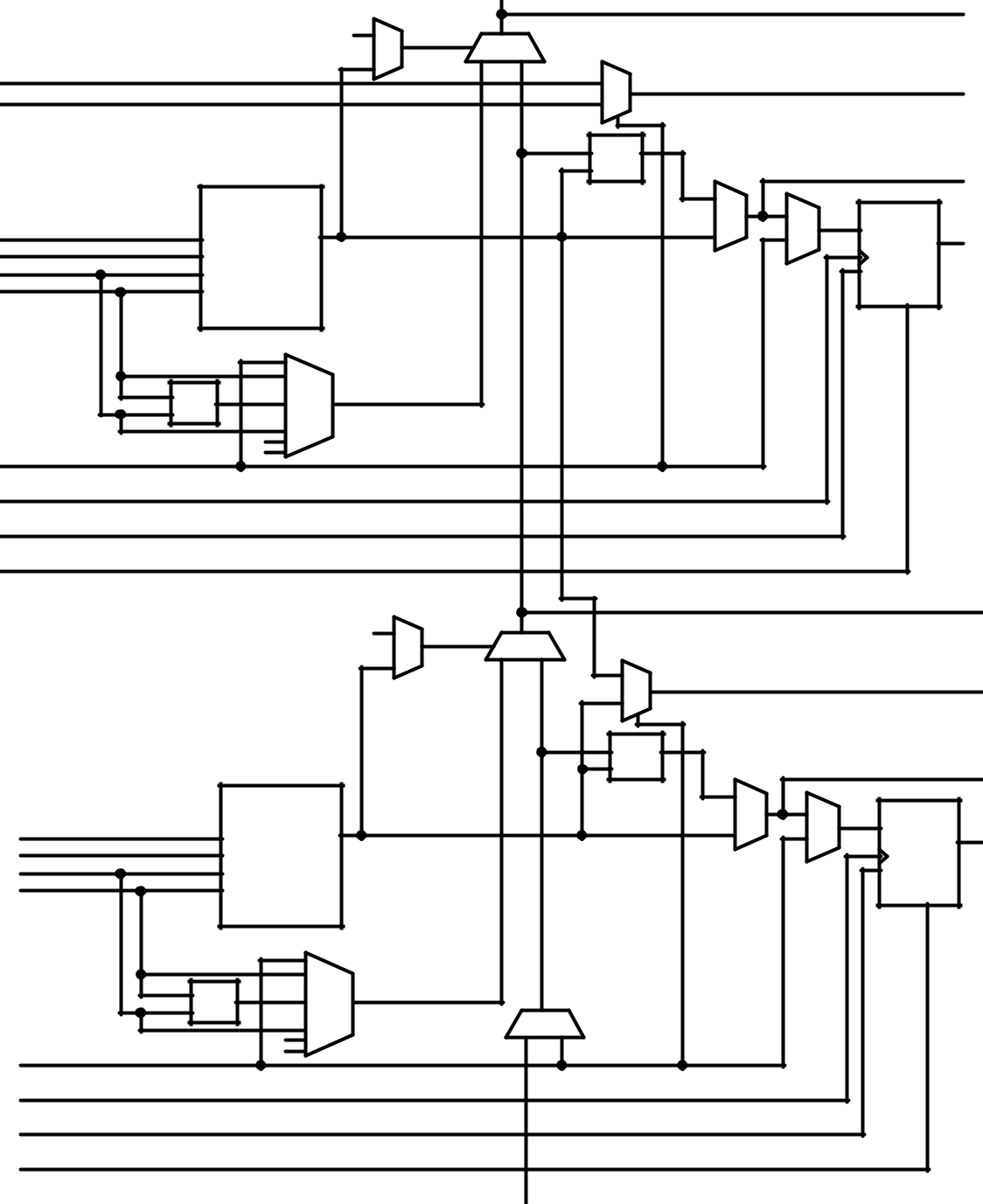
**Структура блока типа**

**SLICEL**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | a | b | LUT | S | C |
|  |  |  |  |  |  |
| 0 | 0 | 0 | 0 | 0 | ab |
|  |  |  |  |  |  |
| 0 | 0 | 1 | 1 | 1 | C’ |
|  |  |  |  |  |  |
| 0 | 1 | 0 | 1 | 1 | C’ |
|  |  |  |  |  |  |
| 0 | 1 | 1 | 0 | 0 | ab |
|  |  |  |  |  |  |
| 1 | 0 | 0 | 0 | 1 | ab |
|  |  |  |  |  |  |
| 1 | 0 | 1 | 1 | 0 | C’ |
|  |  |  |  |  |  |
| 1 | 1 | 0 | 1 | 0 | C’ |
|  |  |  |  |  |  |
| 1 | 1 | 1 | 0 | 1 | ab |
|  |  |  |  |  |  |

Архитектура ЭВМ

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  | COUT | | |  |  |  |  |  |  |  |  |
|  |  |  | 1 |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  | 2 | 0 | 3 | 1 |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| FXINA |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| FXINB |  |  |  |  |  |  | 4 |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  | M2 |  |  |  |  |  |  |  |
|  |  | LUT |  |  |  |  |  |  |  |  |  |  |  |  |
| G4 |  |  | D |  |  |  | 5 |  | 6 |  | D/T | Q |  |  |
|  |  |  |  |  |  |  |  |  |  |
| G3 |  | A |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  | EC |  |  |  |
| G2 |  | D15 | |  |  |  |  |  |  |  |  |  |  |
| G1 |  |  |  |  |  |  |  |  | SR | |  |  |
|  |  | D1 |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  | & |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  | 1 | 1 |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| BY |  | 0 |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| CLK |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| CE |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| SR |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  | 1 |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  | 8 | 0 | 9 | 1 |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  | 10 |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  | M2 |  |  |  |  |  |  |  |
|  |  | LUT |  |  |  |  |  |  |  |  |  |  |  |  |
| F4 |  |  | D |  |  |  |  | 11 |  | 12 | D/T | | Q |  |
|  |  |  |  |  |  |  |  |  |
| F3 |  | A |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  | EC | |  |  |
| F2 |  |  | D15 |  |  |  |  |  |  |  |  |  |
| F1 |  |  |  |  |  |  |  |  |  |  | SR | |  |
|  |  | D1 |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  | & |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  | 7 |  |  |  | 13 |  |  |  |  |  |  |  |
|  |  | 1 |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| BX |  | 0 |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| CLK |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| SRCE | ИУ7 |  |  |  |  |  | 4 |  |  |  |  |  |  |  |
|  |  |  |  |  |  | CIN | |  |  |  |  |  |  |  |



YB

Fi

Y

YQ

XB

F5

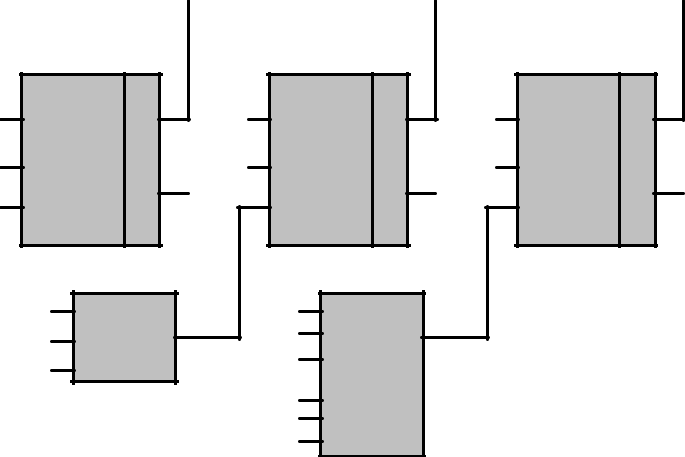
X

XQ

Схема параллельного сумматора с параллельным переносом

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| a0 |  | SM | S |  |
|  |  |  |  |
| b0 |  |  |  |  |
| Cвх |  |  | C |  |
|  | a0 |  | КС0 |  |
|  | b0 |  |  |
|  |  |  |  |
|  | свх |  |  |  |

s0



|  |  |  |  |
| --- | --- | --- | --- |
| a1 | SM | S |  |
|  |  |
| b1 |  | C |  |
|  |  |  |
| an-2 | КСn-2 | |  |
| bn-2 |  |
| ... |  |  |  |
| a0 |  |  |  |
| b0 |  |  |  |
| свх |  |  |  |

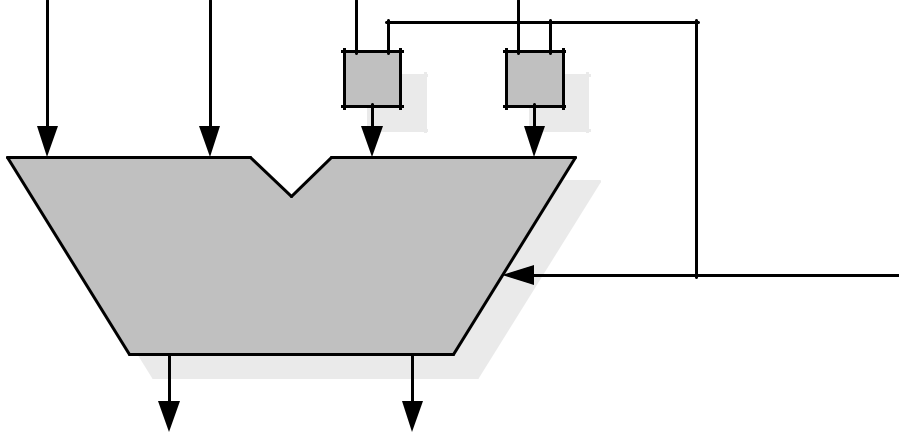
|  |  |  |  |
| --- | --- | --- | --- |
| s1 | ... |  |  |
|  |  |  |
| an-1 | SM | S |  |
|  |  |
| bn-1 |  | C |  |
| ... |  |  |
|  |  |  |

Sn-1

Cвых

Устройство целочисленного сложения/вычитания

An-1 A0 Bn-1 B0



|  |  |
| --- | --- |
| =1 | =1 |

|  |  |
| --- | --- |
| N-разрядный сумматор | #ADD/SUB |

Sn-1 S0

Архитектура ЭВМ ИУ7 5

Устройства целочисленного умножения

Умножение сводится к последовательному формированию частных произведений и их сложению.

**По способу формирования частных произведений**:умножение со старших разрядов множителя со сдвигом влево, умножение с младших разрядов множителя со сдвигом вправо.

**По способу накопления частных произведений**:матричныеумножители, древовидные умножители.

**Способы ускорения работы устройств умножения**:

* сокращение количества частных произведений;
* обработка нескольких разрядов множителя за такт;
* параллельное вычисление нескольких СЧП;
* конвейеризация умножителей.

Архитектура ЭВМ ИУ7 6

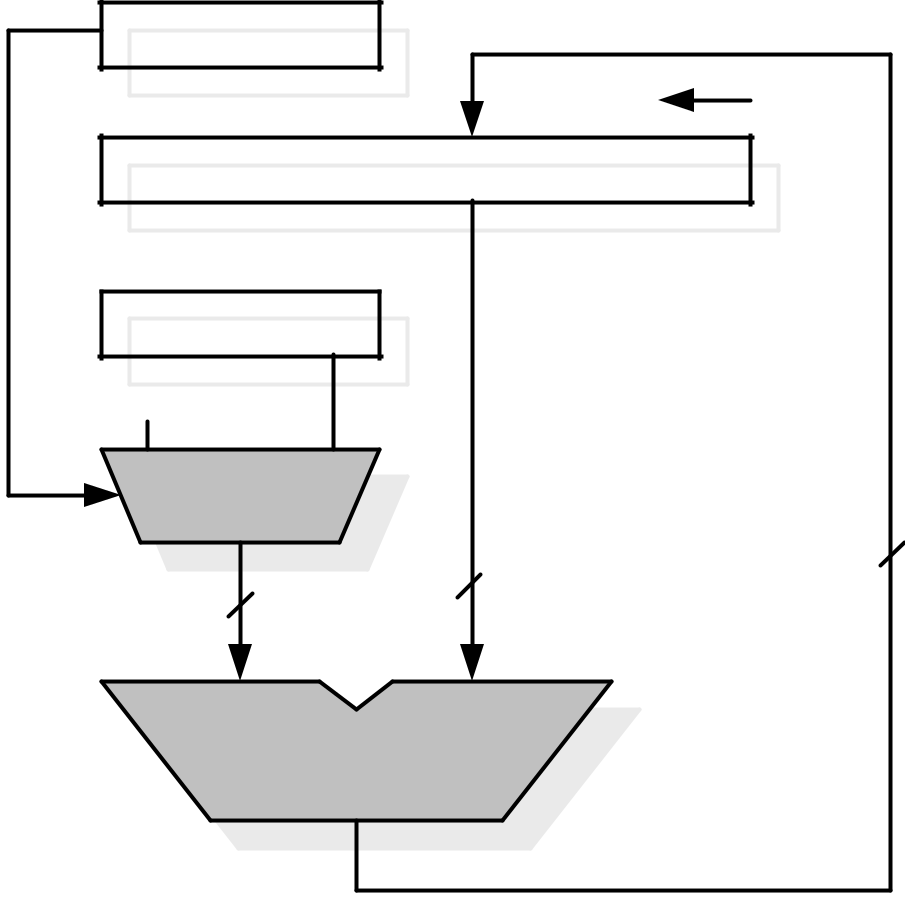
Умножение со старших разрядов множителя со сдвигом влево



Старший разряд множителя определяет очередное частное произведение (ЧП), которое складывается с накопленной суммой частных произведений (СЧП). После этого СЧП и множитель сдвигаются на один разряд влево.

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| A |  | 1 | 1 | | 0 | 6 |  |
| x B |  |  |  |  |  | 5 |  |
|  | 1 |  | 0 | 1 |  |
| ЧП0 |  | 1 |  | 1 | 0 |  |  |
| СЧП0 |  | 1 |  | 1 | 0 |  |  |
| <-СЧП0 | 1 | 1 | 0 | | 0 |  |  |
| ЧП1 |  | 0 | 0 | | 0 |  |  |
| СЧП1=СЧП0+ЧП1 | 1 | 1 | 0 | | 0 |  |  |
| <-СЧП1 | 1 1 | 0 | 0 | | 0 |  |  |
| ЧП2 |  | 1 | 1 | | 0 |  |  |
| СЧП2=СЧП1+ЧП2 | 1 1 | 1 | 1 | | 0 | 30 |  |
| Архитектура ЭВМ |  |  | ИУ7 | | |  |  |

Множитель



Сумма частных произведений

Множимое

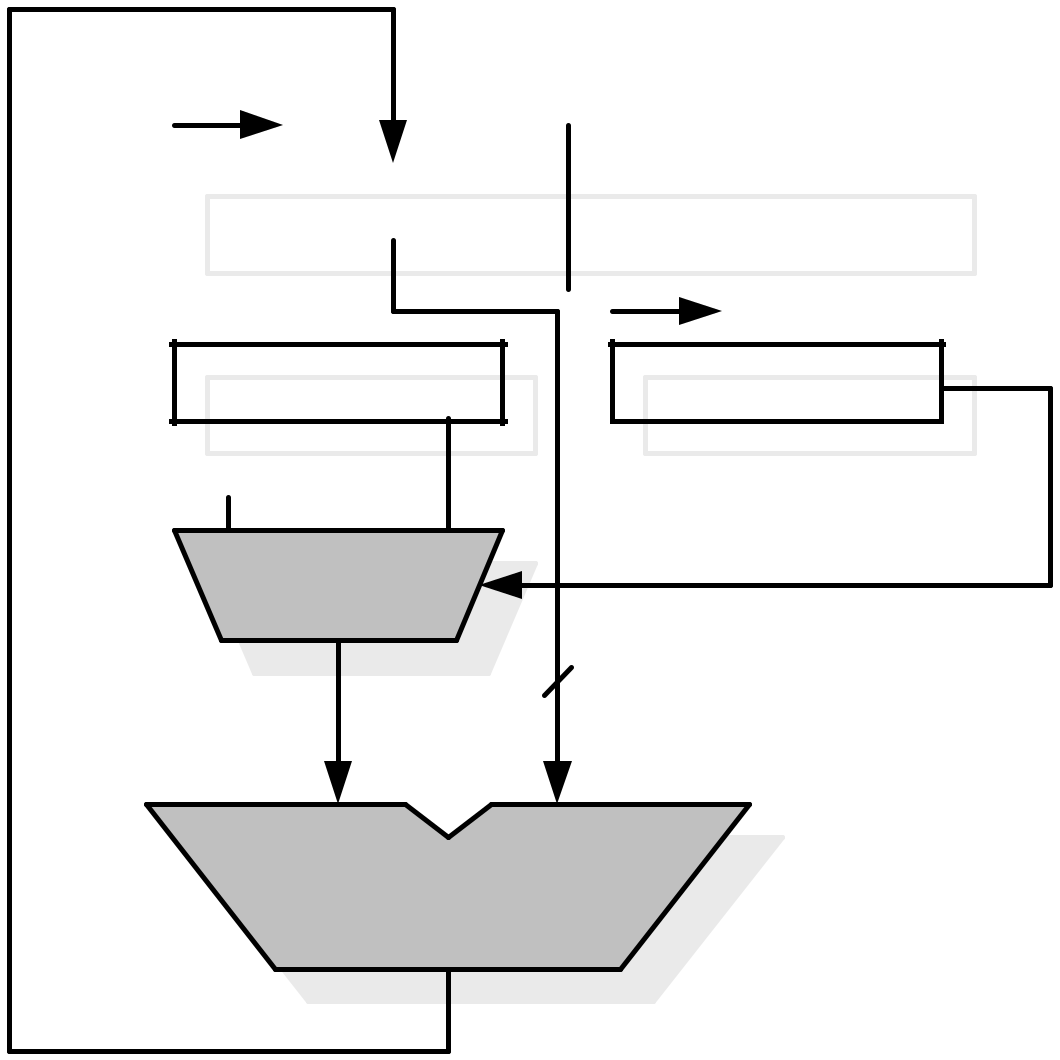
0

|  |  |  |
| --- | --- | --- |
| MUX |  |  |
|  | 2n |  |
| n | 2n |  |
|  |  |
| 2n-разрядный сумматор | |  |

**(-)** 2-nразрядный сумматор ишины данных.

7

Умножение с младших разрядов множителя со сдвигом вправо



|  |  |
| --- | --- |
| Ст | Мл |
|  |  |
|  | Сумма частных произведений |
|  |  |

|  |  |
| --- | --- |
| Множимое | Множитель |

0

MUX

n

 n

n-разрядный сумматор

* n-разрядный сумматор и шины данных.

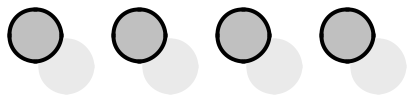
Архитектура ЭВМ ИУ7

Младший разряд множителя определяет очередное частное произведение (ЧП), которое складывается с накопленной суммой частных произведений (СЧП). После этого СЧП и множитель сдвигаются на один разряд вправо.

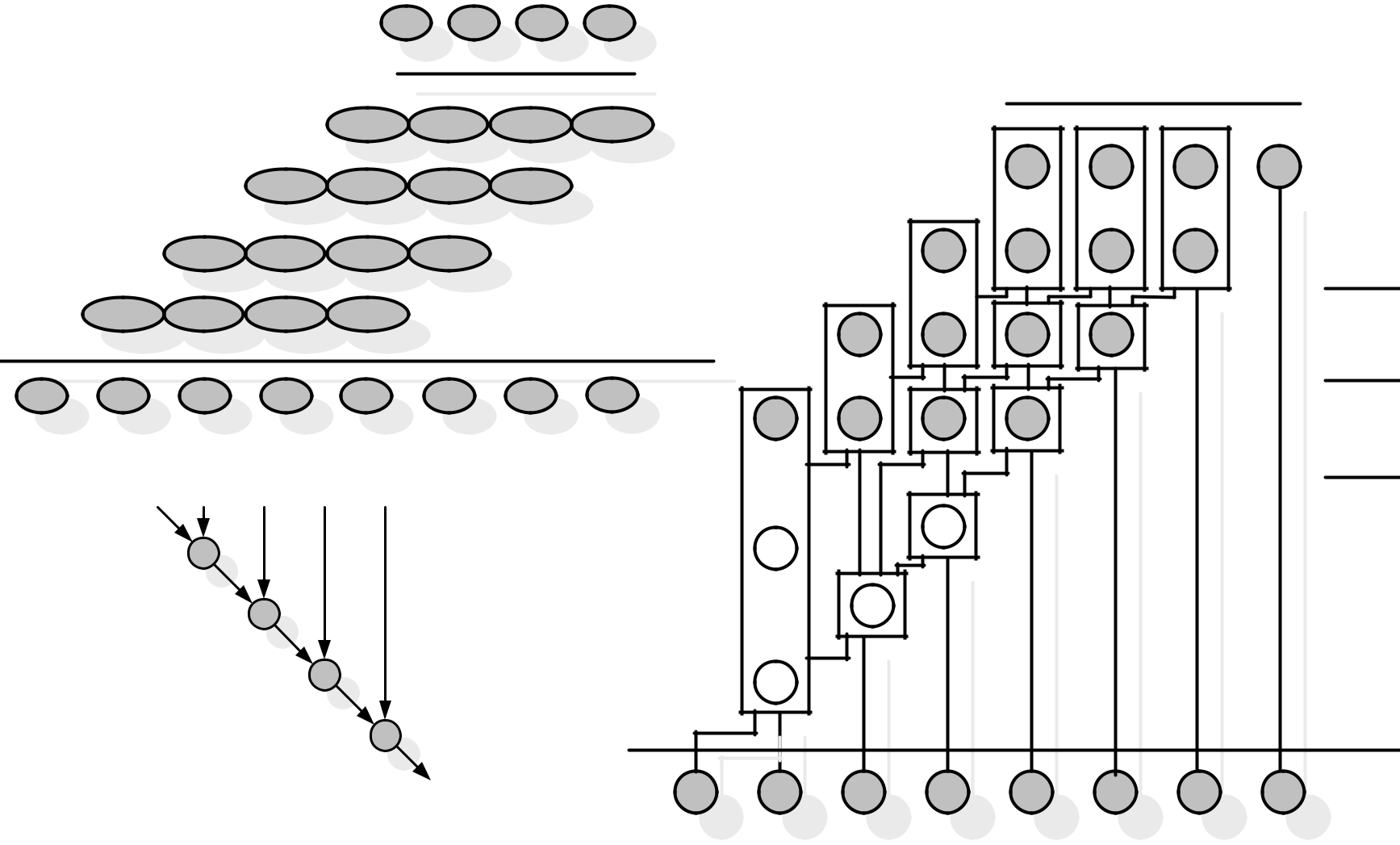
|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| A | 1 | 1 | 0 |  | 6 | |  |
| x B |  |  |  |  | 5 | |  |
| 1 | 0 | 1 |  |  |
| ЧП0 | 1 | 1 | 0 |  |  |  |  |
| СЧП0 | 1 | 1 | 0 |  |  |  |  |
| СЧП0-> | 0 | 1 | 1 | 0 |  |  |  |
| ЧП1 | 0 | 0 | 0 |  |  |  |  |
| СЧП1=СЧП0+ЧП1 | 0 | 1 | 1 | 0 |  |  |  |
| СЧП1-> | 0 | 0 | 1 | 1 | 0 |  |  |
| ЧП2 | 1 | 1 | 0 |  |  |  |  |
| СЧП2=СЧП1+ЧП2 | 1 | 1 | 1 | 1 | 0 | 30 |  |
|  |  |  |  |  |  |  |  |

8

Матричные умножители



|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |  |  |  |  | a | 3 |  | a | | 2 | a | |  | a | 0 |  |  |
|  |  |  |  |  |  |  |  |  | x | |  |  |  |  |  |  | 1 | |  |  |  |
|  |  |  |  |  |  |  |  |  | x | |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  | b | |  | b | |  | b |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  | b | 3 |  | 2 |  | 0 |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 1 | |  |  |  |
|  |  |  |  |  |  |  |  |  | a | b | | 0 |  | a b | | 0 |  | a | b | 0 | a b | | 0 |  |
|  |  |  |  |  |  |  |  |  | 3 |  |  |  | 2 |  |  | 1 |  | 0 |  |  |
|  | + | + |  |  |  | a3b1 | | | a2b1 | | | |  | a1b1 | | |  | a0b1 | | |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  | a | b | 2 | a | b | 2 | a | b | | 2 |  | a | b | 2 |  |  |  |  |  |  |  |  |
|  |  |  | 3 |  | 2 |  | 1 |  |  |  | 0 |  |  |  |  |  |  |  |  |  |
|  | a3b3 | | a2b3 | | | a1b3 | | | a0b3 | | | |  |  |  |  |  |  |  |  |  |  |  |  |
| p7 |  | p6 | p5 | |  | p4 | |  | p3 | |  |  |  | p2 | |  |  | p1 | |  | p0 | |  |  |



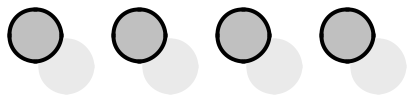
+

+

+

+

x x



+

I

II

III

IV

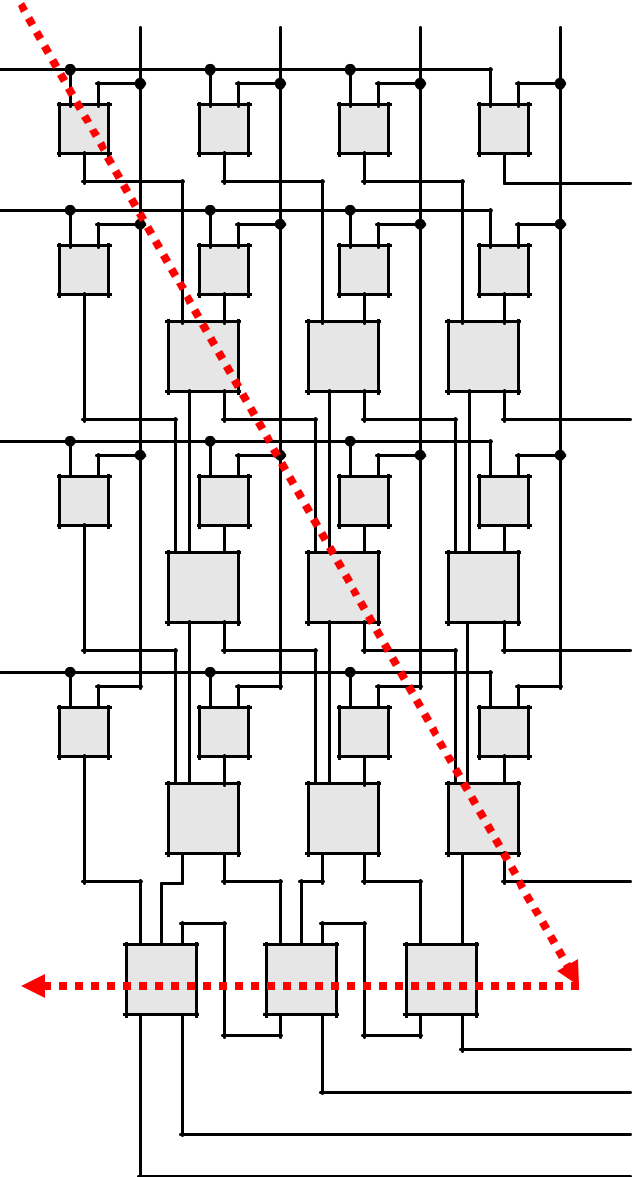
Архитектура ЭВМ ИУ7 9

|  |  |  |  |
| --- | --- | --- | --- |
| ai | bi |  |  |
| ПС | | Полусумматор |  |
|  |  |  |
| ci+1 | si |  |  |



Матричные умножители

a0 a1 a2 a3



b0

|  |  |  |  |
| --- | --- | --- | --- |
| & | & | & | & |

p0

b1

|  |  |  |  |
| --- | --- | --- | --- |
| & | & | & | & |

|  |  |  |
| --- | --- | --- |
| ПС | ПС | ПС |

ai bi ci-1



b2

p1

|  |  |
| --- | --- |
| СМ | Сумматор |
|  |  |



|  |  |  |  |
| --- | --- | --- | --- |
| & | & | & | & |

|  |  |  |
| --- | --- | --- |
| СМ | СМ | СМ |

ci+1 si

b3

p2

|  |  |  |  |
| --- | --- | --- | --- |
| & | & | & | & |
|  | СМ | СМ | СМ |

p3

|  |  |  |
| --- | --- | --- |
| СМ | СМ | ПС |

p4

p5

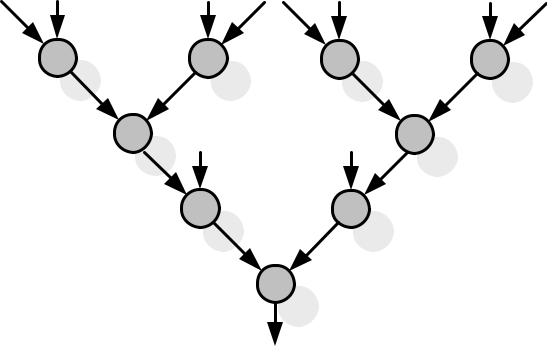
p6

p7

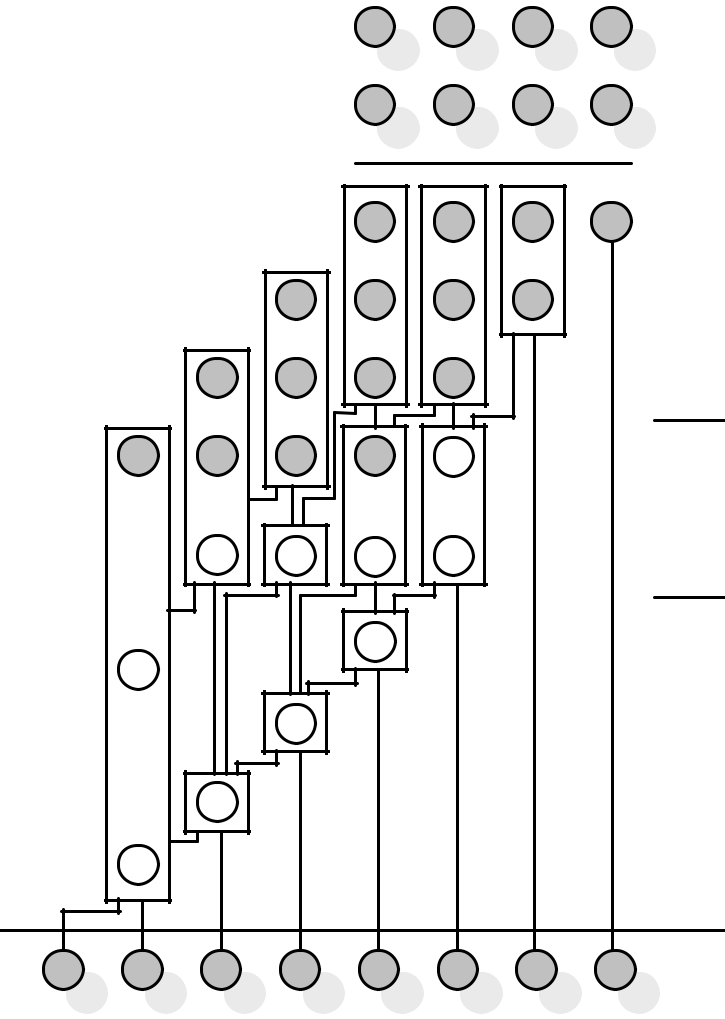
Архитектура ЭВМ ИУ7 10

Древовидные умножители

(схема Уоллеса)



|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| + | + | + | + |  |  |
|  | + | + | x | x |  |
|  |  |  |  |  |
|  | + | + |  |  |  |



+

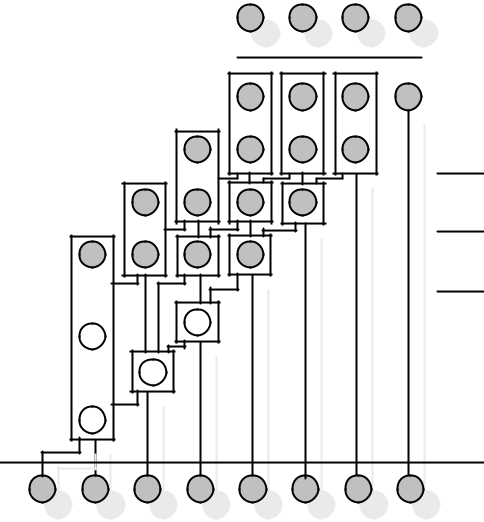
+

Матричные умножители

I



x x



+

II

I

II

III

III

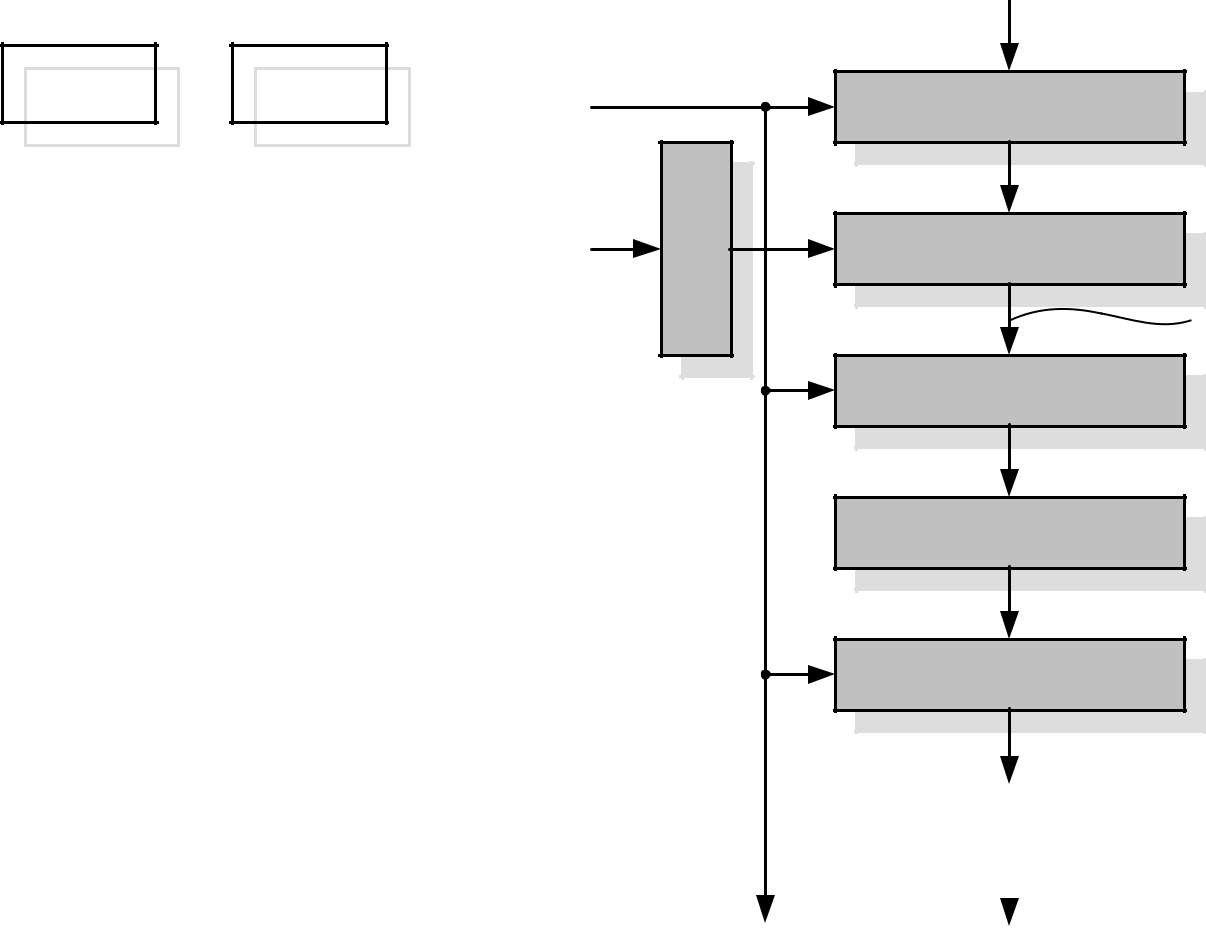
IV

Архитектура ЭВМ ИУ7 11

Наращивание размерности Конвейеризация

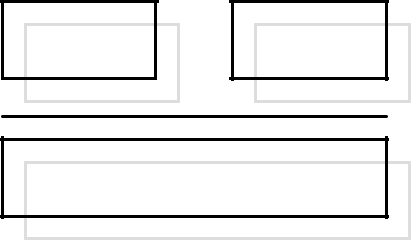
умножителей умножителей

а



+

|  |  |
| --- | --- |
| AH | AL |
| x |  |
| BH | BL |



AL x BL



AL x BH



AH x BL



|  |  |  |
| --- | --- | --- |
| CLK |  |  |
| b | Буфер |  |
|  |  |

Буфер

Ступень 1

a, b,

ЧП,

Буфер СЧП

Ступень 2

|  |  |
| --- | --- |
| AH x BH | Буфер |



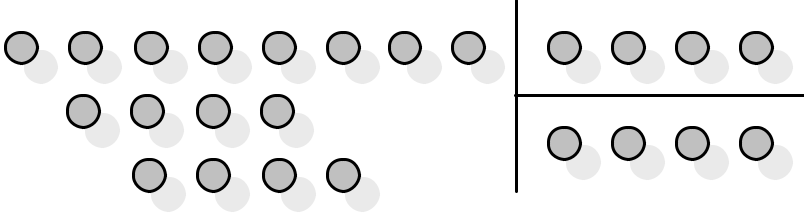
|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| A x B |  |  | Ступень 3 | |  |  |
|  |  |  |  |
|  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |



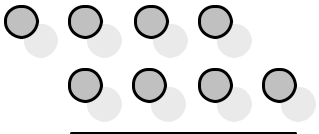
...

Архитектура ЭВМ ИУ7 12

Устройства целочисленного деления



- -



Деление с восстановлением остатка

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  | 17 | | |  |  |  |  |  |  |  |  |  |  |
| Делимое |  |  |  |  | 0 | 1 | 0 |  | 0 | 0 | 1 |  | 0 | 1 | 1 | 3 | Алгоритм: | |  |
|  |  |  |  |  |  |  |
| ЧО |  |  |  |  | 0 | 1 | 0 |  | 0 | 0 | 1 |  | 1 | 0 | 1 | 5 |  |
|  |  |  |  |  |  | 1) | ЧО = Делимое; |  |
| <-ЧО | - | |  | 0 | 1 | 0 | 0 |  | 0 | 1 | 0 |  |  |  |  |  |  |
|  |  |  |  |  |  |  | 2) | ЧО = ЧО\*2; |  |
| -Делитель |  |  | 0 | 1 | 1 |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| ЧО>0 |  |  |  |  |  |  |  |  | 0 | 1 | 0 |  |  |  |  |  | 3) | ЧО = ЧО – Делитель \* 2n; |  |
|  |  |  | 0 |  |  |  |  |  |  |
|  |  |  | 0 | 0 | 1 |  |  |  |  |  |  |  |
| <-ЧО | - | | 0 | 0 | 0 | 1 | 0 |  | 1 | 0 | 0 |  |  |  |  |  | 4) | Если ЧО<0 то |  |
| -Делитель |  |  | 0 | 1 | 1 |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  | Ч<-0, |  |
| ЧО<0 |  |  | 1 | 1 | 1 | 1 | 1 |  | 1 | 0 | 0 |  |  |  |  |  |  |  |
| +Делитель |  |  |  |  | 0 | 1 | 1 |  |  |  |  |  |  |  |  |  |  | ЧО = ЧО + Делитель \* 2n |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| Восст. ЧО |  |  | 0 | 0 | 0 | 1 | 0 |  | 1 | 0 | 0 |  |  |  |  |  |  | иначе Ч<-1; |  |
| <-ЧО | - 0 | | 0 | 0 | 1 | 0 | 1 |  | 0 | 0 | 0 |  |  |  |  |  | 5) | Если все цифры то конец |  |
| -Делитель |  |  |  |  | 0 | 1 | 1 |  |  |  |  |  |  |  |  |  |  | иначе пункт 2. |  |
| ЧО>0 |  | 0 | 0 | 0 | 0 | 1 | 0 |  | 0 | 0 | 0 |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

Архитектура ЭВМ ИУ7 13

Деление без восстановления остатка

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  | 17 | | |  |  |  |  |  |  |  |
| Делимое |  |  |  |  | 0 | 1 | 0 |  | 0 | 0 | 1 |  | 1 | 1 | 3 |  |
|  |  |  |  |  | 0 |  |
| ЧО |  |  |  |  | 0 | 1 | 0 |  | 0 | 0 | 1 | 1 | 0 | 1 | 5 |  |
| <-ЧО | - |  |  | 0 | 1 | 0 | 0 |  | 0 | 1 | 0 |  |  |  |  |  |
| -Делитель |  |  |  | 0 | 1 | 1 |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |
| ЧО>0 |  |  |  | 0 | 0 | 0 | 1 |  | 0 | 1 | 0 |  |  |  |  |  |
| <-ЧО | - |  | 0 | 0 | 0 | 1 | 0 |  | 1 | 0 | 0 |  |  |  |  |  |
| -Делитель |  |  |  | 0 | 1 | 1 |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |
| ЧО<0 |  |  | 1 | 1 | 1 | 1 | 1 |  | 1 | 0 | 0 |  |  |  |  |  |
| <-ЧО | + | 1 | 1 | 1 | 1 | 1 | 1 |  | 0 | 0 | 0 |  |  |  |  |  |
| +Делитель |  |  |  | 0 | 1 | 1 |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |
| ЧО>0 |  | 0 | 0 | 0 | 0 | 1 | 0 | 0 | | 0 | 0 |  |  |  |  |  |



Алгоритм:

1. ЧО = Делимое\*2;
2. ЧО = ЧО – Делитель \* 2n;
3. ЧО = ЧО\*2;
4. Если ЧО<0 то

Ч<-0,

ЧО = ЧО + Делитель \* 2n иначе

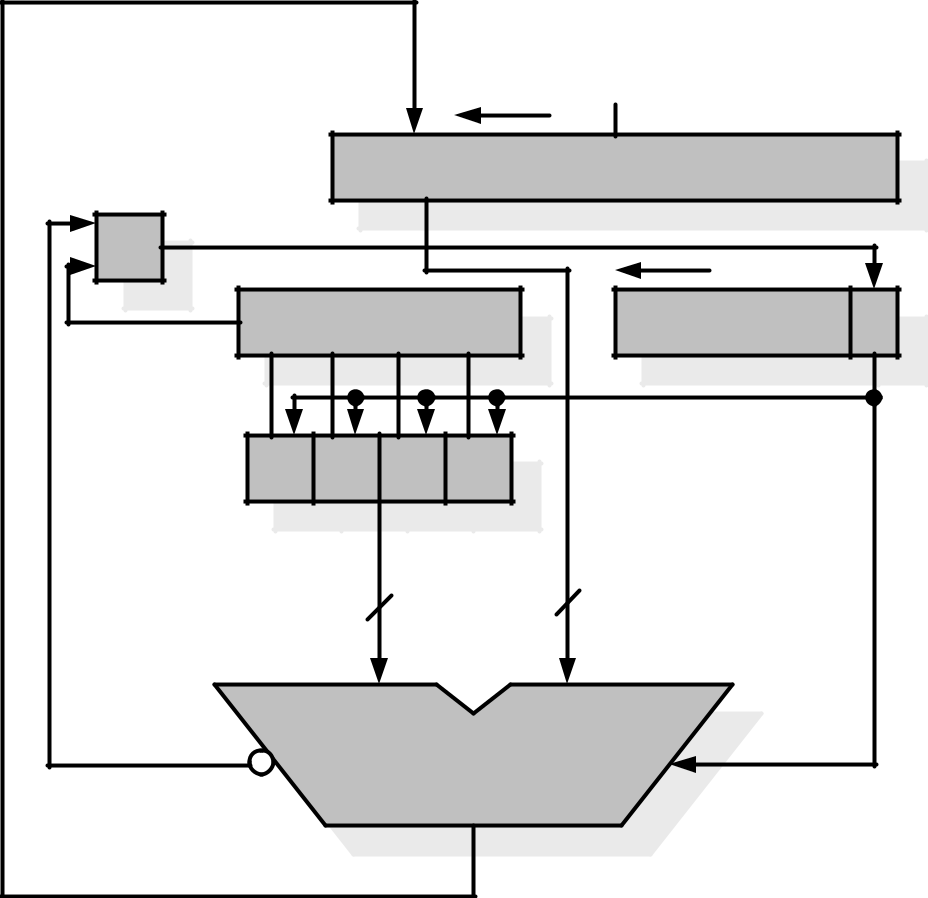
Ч<-1;

ЧО = ЧО – Делитель \* 2n

1. Если все цифры то конец иначе пункт 3.

Схема АЛУ для целочисленного

деления



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  | Ст | Мл |  |  |
|  |  |  | Частный остаток | |  |  |
| =1 |  |  |  |  |  |  |
| #Знак Д | Делитель | |  | Частное | L |  |
|  |  |  |  |  |  |
| =1 | =1 | =1 | =1 |  |  |  |

|  |  |
| --- | --- |
| n | n |

|  |  |  |
| --- | --- | --- |
| n-разрядный сумматор | +1 |  |
|  |  |
| #Знак ЧО |  |  |

Архитектура ЭВМ ИУ7 14

**Форматы представления чисел с плавающей запятой (по**

**стандарту IEEE 754 и 784).**

Мантисса М числа представляется в нормализованном виде (старший разряд не сохраняется).

+ 1.0001 \* 2+011 = 8.5 = 0 10000010 00010…0



|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
|  |  | Знак | Порядок |  | Нормализованная | |  |
|  |  |  |  |
|  |  | M | + C |  | мантисса | |  |
|  |  |  |  |
|  |  |  |  | 1 | |  |  |
| **Формат** | **Длина** | **Длина** | **Длина** | **Смещение** | | **Диапазон** |  |
| **числа** | **мантиссы** | **порядка** | **порядка** | | **чисел** |  |
|  |  |
|  |  |  |  |  | |  |  |
| Короткий формат | 32 | 24 | 8 | +127 | | 10-38..10+38 |  |
|  |  |  |  |  | |  |  |
| Длинный формат | 64 | 53 | 11 | +1023 | | 10-308..10+308 |  |
|  |  |  |  |  | |  |  |
| Расширенный формат | 80 | 64 | 15 | +16383 | | 10-4932..10+4932 |  |
|  |  |  |  |  |  |  |  |

Архитектура ЭВМ ИУ7 15

**Специальные числовые значения.**



- 8

Переполнение

Денормализованные числа 0

Потеря значимости

+ 8

Переполнение

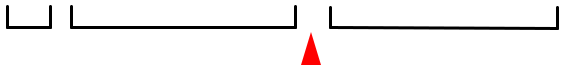
|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  | Числовые значения | | | |  |
|  |  | +Ноль | | |  |  |
| 0 | 00000000 | |  |  | 00000…0 |  |
| Знак | | Порядок |  |  | Нормализованная |  |
| M |  | + C |  |  | мантисса |  |
|  |  | -Ноль | | |  |  |
| 1 | 00000000 | |  |  | 00000…0 |  |
| Знак | | Порядок |  |  | Нормализованная |  |
| M |  | + C |  |  | мантисса |  |
|  |  | +Бесконечность | | | |  |
| 0 | 11111111 | |  |  | 00000…0 |  |
| Знак | | Порядок |  |  | Нормализованная |  |
|  |  |  |
| 1 | |  |
| M |  | + C | мантисса |  |
|  |  | -Бесконечность | | | |  |
| 1 | 11111111 | |  |  | 00000…0 |  |
| Знак | | Порядок |  |  | Нормализованная |  |
|  |  |  |
| 1 | |  |
| M |  | + C | мантисса |  |
| Архитектура ЭВМ | | |  |  | ИУ7 |  |



“Нечисла”

Денормализованное число >0

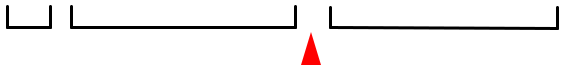
0 00000000 xxx...1…x



|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Знак | Порядок |  |  | Нормализованная |  |
| M | + C |  |  | мантисса |  |
| 0 | |  |

Денормализованное число <0

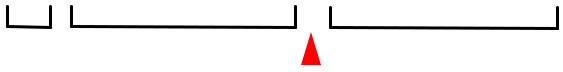
1 00000000 xxx...1…x



|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Знак | Порядок |  |  | Нормализованная |  |
| M | + C |  |  | мантисса |  |
| 0 | |  |

Нечисло

x 11111111 1xx...1…x



|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Знак | Порядок |  |  | Нормализованная |  |
| M | + C |  |  | мантисса |  |
| 1 | |  |

16

**Операции над числами с плавающей запятой.**

1. **Подготовительный этап.**
   * Разделение упакованного ЧПЗ на группы М,П,З.
   * Проверка на специальное числовое значение.
2. **Выполнение операции.**
   * Приведение порядков.
   * Определение знака результата.
   * Определение мантиссы результата.
   * Определение порядка результата.
   * Проверка на переполнение, потери значимости мантиссы, потери значимости порядка, неточности, деления на 0.
3. **Заключительный этап.**
   * Проверка на специальное числовое значение.
   * Нормализация результата.
   * Проверка на переполнение, потери значимости мантиссы, потери значимости порядка, неточности.
   * Упаковка полей З,П,М в ЧПЗ.

Архитектура ЭВМ ИУ7 17

**Организация операций сложения и вычитания над числами с плавающей запятой.**

1. Подготовительный этап
2. Определение меньшего из двух порядков и проведение операции выравнивания порядков (сдвиг вправо на разность порядков).
3. Проверка на потерю значимости одного операнда (неточность).
4. Определение результирующего порядка как максимума.
5. Сложение мантисс и определение знака результата.
6. Проверка на переполнение мантиссы. Если да, то сдвигаем мантиссу вправо и увеличиваем порядок на 1.
7. Проверка на переполнение порядка.
8. Заключительный этап.

**Организация операций умножения чисел с плавающей запятой.**

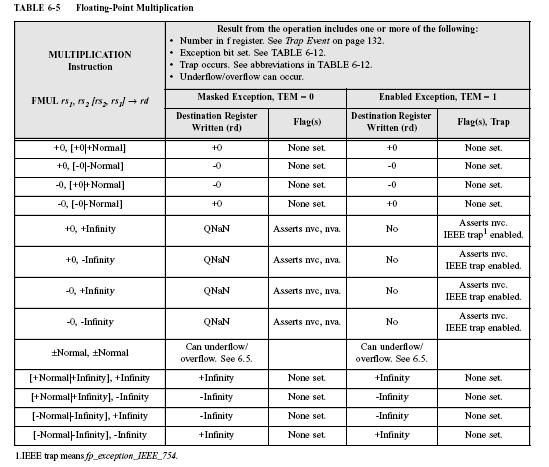
1. Подготовительный этап
2. Проверка (M1=0 или M2=0). Если да, то Р=0.
3. Определение порядка результата: Пр = П1+П2-С.
4. Проверка на переполнение порядка.
5. Определение мантиссы результата: Мр = М1\*М2.
6. Определение знака результата.
7. Заключительный этап.

Архитектура ЭВМ ИУ7 18

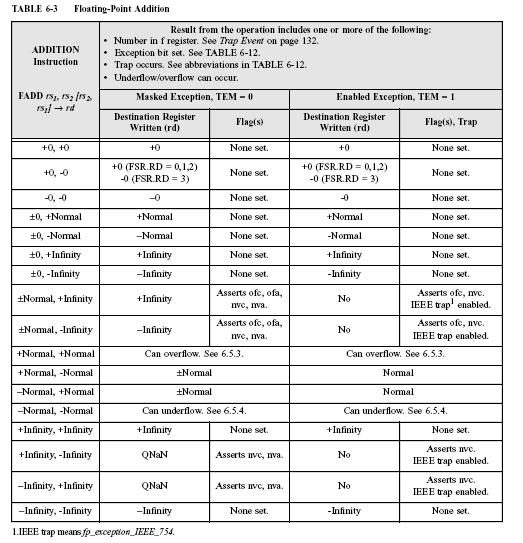
**Организация операций деления чисел с плавающей запятой.**

1. Подготовительный этап
2. Проверка (M1=0 или M2=0). Если деление на ноль, то +/-бесконечность или ошибка.
3. Определение порядка результата: Пр = П1-П2+С.
4. Проверка на переполнение порядка.
5. Определение мантиссы результата: Мр = М1\*(1/М2).
6. Определение знака результата.
7. Заключительный этап.

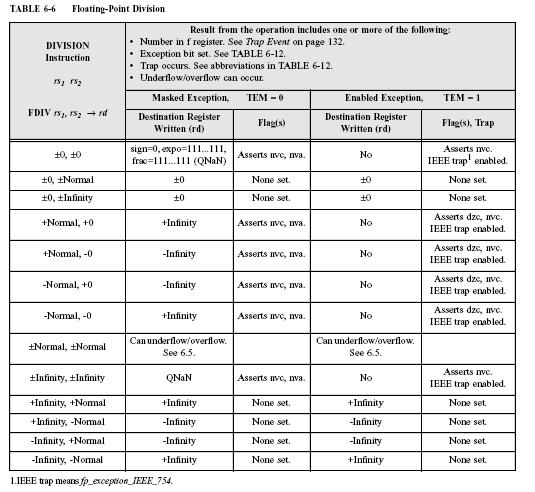
Архитектура ЭВМ ИУ7 19



Архитектура ЭВМ ИУ7 20



Архитектура ЭВМ ИУ7 21



Архитектура ЭВМ ИУ7 22

**Устройства выполнения векторных операций**

**(Эльбрус1,Intel,AMD,Sun,IBM,MIPS).**

*Устройство выполнения целочисленных MMX операций* (MultiMediaeXtensions, Intel) и *SSE* *операций* (Streaming SIMD Extension) предназначены для ускорения приложений, ориентированных на выполнение однотипных действий с большими массивами целочисленных и вещественных данных. С данными такого типа обычно работают мультимедийные, графические и коммуникационные программы.

*Операнды MMX* и *SSE операций* упакованы в группы по32,64,80,128разрядов. Выполнение арифметических операций над операндами группы выполняются параллельно.

*Технология SIMD (ИТМ и ВТ, Эльбрус 1) 1978 год Технология MMX (Intel Pentium MMX, Intel P6, …) 1992 год Технология SSE (Intel P6, Intel NetBurst, …)*

*Технология 3DNow (AMD K6, … )*

*Технология AltiVec (IBM PowerPC)*

*Технология VIS (Sun UltraSPARC II)*

*Технология ASE (MIPS 24KE, 74K)*

Архитектура ЭВМ ИУ7 23

**Форматы чисел в микропроцессорах Intel, AMD**

|  |  |  |
| --- | --- | --- |
| Форматы целочисленного АЛУ |  | Форматы блока обработки ЧПЗ |

63

63

63

63

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  |  | Байт |  |  |
|  |  |  |  |  |  |
| 7 | | | | 0 | |
|  |  |  |  |  |  |
|  |  |  | Слово |  |  |
|  |  |  |  |  |  |
| 15 | | |  | 0 | |
|  |  | | |  |  |
|  | Двойное слово | | |  |  |
|  |  |  |  |  |  |
| 31 | |  |  | 0 | |

Форматы MMX



Восемь упакованных байт

0



Четыре упакованных слова

0



Два упакованных двойных слова

0



Упакованное учетверенное слова

0

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  | Целочисленные | | |  |  |
|  |  |  |  |  |  |  |
|  |  |  |  | Целое слово |  |  |
|  |  | | |  |  |  |
| 15 | | | | | 0 | |
|  |  |  |  | |  |  |
|  |  |  | Короткое целое | |  |  |
|  |  | |  |  |  |  |
| 31 | | | |  | 0 | |
|  |  |  |  |  |  |  |
|  |  |  | Длинное целое | |  |  |
|  |  |  |  |  |  |  |
| 63 | | |  |  | 0 | |
|  |  |  |  | |  |  |
|  |  |  | Упакованное десятичное | |  |  |
|  |  |  |  |  |  |  |
| 79 | |  |  |  | 0 | |
|  |  | Числа с плавающей запятой | | |  |  |
|  |  |  |  |  |  |  |
|  |  |  |  | Короткое |  |  |
|  |  | |  |  |  |  |
| 31 | | | |  | 0 | |
|  |  |  |  |  |  |  |
|  |  |  |  | Длинное |  |  |
|  |  |  |  |  |  |  |
| 63 | | |  |  | 0 | |
|  |  |  |  |  |  |  |
|  |  |  |  | Расширенное |  |  |
|  |  |  |  |  |  |  |
| 79 | |  |  |  | 0 | |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  |  | Форматы SSE | | |
|  |  |  |  |  |
|  |  |  | Четыре упакованных коротких |  |
|  |  |  |  |  |
| 127 | | 0 | | |

Архитектура ЭВМ ИУ7 24